

# SYNTHÈSE DE HAUT NIVEAU (HLS) POUR SYSTEM ON CHIP

## RÉSUMÉ DE LA FORMATION

**Type de diplôme :** Formation qualifiante

**Domaine ministériel :** Sciences, Technologies, Santé

### Responsable pédagogique

- Bertrand Granado

**Thématique :** Electronique

### Public et prérequis

Public:

- Ingénieurs en charge de concevoir, développer ou maintenir des systèmes sur puce fondés sur des FPGA.

Prérequis:

- Electronique numérique : FPGA et langage de description matériel (VHDL, Verilog, ...).
- Microprocesseur : architecture et langage de programmation de bas niveau (langage C).
- Le stage « System on Chip (SoC) : co-conception logicielle et matérielle embarquée sur FPGA » est un excellent point d'entrée de cette formation.
- Informatique : l'algorithmique est un second point d'entrée possible pour cette formation.

### Objectifs

Assurant accélération matérielle, sécurité du système et évolutivité du produit, les circuits FPGA sont désormais un composant incontournable des dispositifs d'électronique embarquée. Pour répondre aux cycles toujours plus courts des produits mis sur le marché, il devient indispensable de maîtriser sa relative complexité par l'utilisation experte des (nouveaux) outils de description de haut niveau (High-level synthesis, dit HLS).

A l'issue de cette formation, les participants seront capables de maîtriser l'ensemble du flot de conception d'un système numérique complexe en utilisant un langage de HLS.

### Contenu

- Outil de description haut niveau HLS.
- Flot de conception allant du cahier des charges initial à la configuration de l'application dans une cible FPGA,
- Concepts et principes généraux régissant l'outil HLS,
- Mise en œuvre et implantation d'une fonction logique dans un FPGA,
- Définition des directives pour maîtriser l'implantation de la fonction sur la cible matérielle.
  - Synthèse d'un bloc IP matériel spécifique :
- Règles de conception d'un bloc IP, fondée sur l'outil HLS et en tenant compte des limites et des spécificités de l'implantation dans la cible FPGA,
- Analyse de l'architecture générée et validation fonctionnelle.
  - Synthèse d'un système mixte (microprocesseur et logiciel / blocs logiques matériels) :
- Etudes des directives qui permettent d'intégrer l'IP sur une plateforme SoC à base de FPGA,
- Règles de définition des directives permettant de paramétrer le processus complet.
  - Etude de cas permettant de mettre en œuvre et de valider l'ensemble des compétences abordées.

**Effectif :** 6 à 12

### Tarifs

1800 euros



Toutes les informations données sur cette page sont indicatives et n'ont pas de valeur contractuelle

## Organisation/Calendrier

### Organisation

Trois jours consécutifs (21h).

### Calendrier

- Session du 11 au 13 juin 2019

**Durée** : 21 heures

## Contacts/Inscription

### Inscription

Information et inscription - contact pédagogique

Olivier BETHOUX - 01 44 27 37 33

[olivier.bethoux@sorbonne-universite.fr](mailto:olivier.bethoux@sorbonne-universite.fr)

Information et inscription - contact administratif

Roselyne FRIEDENBERG - 01 44 27 82 55

[roselyne.friedenberg\\_remy@sorbonne-universite.fr](mailto:roselyne.friedenberg_remy@sorbonne-universite.fr)

Inscription: [ingenierie-fc@sorbonne-universite.fr](mailto:ingenierie-fc@sorbonne-universite.fr)

## Evaluation/Validation

### Contrôle des connaissances

Attestation de fin de formation

**Validation** : Attestation de fin de formation