

# SYSTEM ON CHIP (SOC) : CO-CONCEPTION LOGICIELLE ET MATÉRIELLE EMBARQUÉE SUR FPGA

## RÉSUMÉ DE LA FORMATION

**Type de diplôme :** Formation qualifiante

**Domaine ministériel :** Sciences, Technologies, Santé

### Responsable pédagogique

- Julien Denoulet

**Thématique :** Electronique

### Public et prérequis

- Ingénieurs en charge de concevoir, développer ou maintenir des systèmes sur puce fondés sur des FPGA.

Prérequis :

- Electronique numérique : bonne connaissance des fonctions logiques combinatoires et séquentielles et d'un langage de description matériel (VHDL, Verilog, ...).
- Microprocesseur : bonne connaissance d'un langage de programmation de bas niveau (langage C) et notions d'architecture de microprocesseur.
- Le stage « FPGA : méthode de conception des circuits numériques » est un excellent point d'entrée de cette formation.

### Objectifs

Les circuits logiques reconfigurables FPGA modernes permettent d'intégrer à la fois les fonctions logiques parallélisées dédiées à l'accélération matérielle et une partie de contrôle évolué réalisée par un cœur ou des cœurs de microprocesseur. Pour optimiser l'implantation de l'ensemble de l'électronique numérique embarquée dans un tel FPGA, l'électronicien doit désormais maîtriser une architecture mixte complexe et avoir l'expertise des outils de conception dédiés au matériel comme au logiciel.

A l'issue de cette formation, les participants seront capables de réaliser la traduction d'un cahier des charges complexe pour obtenir sa mise en œuvre matérielle et logicielle dans un "system on Chip" (SoC) fondé sur un circuit FPGA.

### Contenu

- **Principe du flot de conception d'un circuit sur puce (SoC) fondé sur un circuit FPGA.**
  - Présentation de l'outil de conception,
  - Définition des blocs élémentaires logiques (IP) et des médias d'interconnexion.
- **Mise en application de la méthode :**
  - Utilisation des blocs élémentaires,
  - Réalisation d'un bloc IP simple,
  - Réalisation du programme du processeur orchestrant tous les éléments du système embarqué.
- **Synthèse : du cahier des charges à la conception conjointe des parties matérielle et logicielle d'un système complexe implanté dans un circuit reconfigurable FPGA.**
  - Partitionnement et répartition des tâches,
  - Réalisation d'un bloc IP spécifique : description en langage VHDL, simulation et validation, configuration du FPGA et test,
  - Constitution de la plateforme matérielle permettant d'accueillir le dispositif à mettre en œuvre et validation,
  - Conception du logiciel exécuté par le microprocesseur réalisant la partie contrôle de l'application.

**Effectif :** 6 à 12

## Tarifs

1530 €

## Organisation/Calendrier

### Organisation

Trois jours consécutifs (21h).

### Calendrier

- Session du 2 au 4 juillet 2019

**Durée** : 21 heures

## Contacts/Inscription

### Inscription

Information et inscription - contact pédagogique

Olivier BETHOUX - 01 44 27 37 33

[olivier.bethoux@sorbonne-universite.fr](mailto:olivier.bethoux@sorbonne-universite.fr)

Information et inscription - contact administratif

Roselyne FRIEDENBERG - 01 44 27 82 55

[roselyne.friedenberg\\_remy@sorbonne-universite.fr](mailto:roselyne.friedenberg_remy@sorbonne-universite.fr)

Inscription: [ingenierie-fc@sorbonne-universite.fr](mailto:ingenierie-fc@sorbonne-universite.fr)

## Evaluation/Validation

### Contrôle des connaissances

Attestation de fin de formation

**Validation** : Attestation de fin de formation