

FPGA : MÉTHODE DE CONCEPTION DES CIRCUITS NUMÉRIQUES

RÉSUMÉ DE LA FORMATION

Type de diplôme : Formation qualifiante

Domaine ministériel : Sciences, Technologies, Santé

Responsable pédagogique

- Julien Denoulet

Thématique : Electronique

Public et prérequis

Public:

- Techniciens en charge de concevoir, développer ou maintenir des cartes électroniques fondées sur des FPGA.
- Ingénieurs cherchant à intégrer des composants FPGA dans leurs produits (accélération matérielle, sécurisation matérielle, ...).

Prérequis:

- Electronique numérique : bonne connaissance de l'algèbre de Boole et des fonctions logiques combinatoires et séquentielles.

Objectifs

Avec leurs millions de portes reconfigurables, les circuits FPGA donnent accès à des temps d'exécution très courts et permettent la réalisation de fonctions complexes et leur mise à jour pendant la durée de vie du produit. Ils jouent donc un rôle important dans de multiples domaines comme le traitement du son et de l'image, le biomédical, le cryptage de données et les calculs financiers par exemple. Pour assurer une bonne conception de l'électronique numérique embarquée et tirer le meilleur parti des circuits FPGA, une bonne expertise des langages de description matérielle (HDL) est nécessaire. Elle permet de synthétiser mais aussi de valider les fonctions à réaliser.

A l'issue de cette formation, les participants seront capables de maîtriser la description matérielle par le langage normalisé VHDL et de mettre en œuvre une méthode rigoureuse et systématique pour passer du cahier des charges au système numérique configuré et validé.

Contenu

- Description d'un flot de conception typique allant du cahier des charges au système numérique configuré et validé dans le circuit FPGA.
- Langage VHDL : flot de données et description structurelle du dispositif à réaliser. Intérêts et limites de cette description.
- Langage VHDL : modélisation et simulation du dispositif. Analyse des résultats issus des stimuli d'entrée choisis.
- Langage VHDL : description comportementale de la fonction à synthétiser.
- Conception rigoureuse d'un « testbench » : génération de stimuli adaptés au dispositif étudié et validation automatique des résultats.
- Synthèse d'un projet complexe : structuration du problème et découpage en blocs interconnectés.
- Simulations post-synthèse.
- Démarche complète de synthèse sur un cas d'étude riche : du cahier des charges à la validation du fonctionnement sur la carte cible et son FPGA, en passant par les étapes de hiérarchisation, de description comportementale, de simulation / validation, de génération de « netlist », de configuration du circuit FPGA.

Effectif : 6 à 12

Tarifs

1380 €

Organisation/Calendrier

Organisation

Trois jours consécutifs (21h).

Calendrier

- Session du 18 au 20 juin 2019

Durée : 3 jours

Contacts/Inscription

Inscription

Information et inscription - contact pédagogique

Olivier BETHOUX - 01 44 27 37 33

olivier.bethoux@sorbonne-universite.fr

Information et inscription - contact administratif

Roselyne FRIEDENBERG - 01 44 27 82 55

roselyne.friedenberg_remy@sorbonne-universite.fr

Inscription: ingenierie-fc@sorbonne-universite.fr

Evaluation/Validation

Contrôle des connaissances

Attestation de fin de formation

Validation : Attestation de fin de formation